

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-163677

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

H 0 1 L 21/76

識別記号

庁内整理番号

D 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-312255

(22)出願日 平成4年(1992)11月20日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 吉原 晋二

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

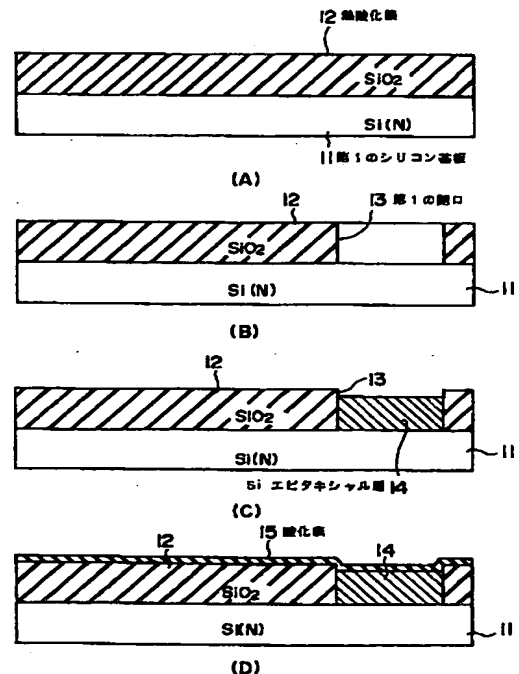
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 この発明は同一チップ内に複数の厚さの異なるSOI基板を製造する半導体装置の製造方法を提供することにある。

【構成】 第1のシリコン基板11の表面に熱酸化膜12を形成し、トランジスタ形成領域に対応して形成された第1の開口に第1のSiエピタキシャル成長層14を形成し、このチップ表面全体に酸化膜15を形成する。次にこの酸化膜15を含み第2の開口16を形成すると共に、この第2の開口16に第2のSiエピタキシャル層17を形成して再び酸化膜18で覆った後第3の開口19を形成する。この開口19部に第3のSiエピタキシャル層20を形成するもので、上記酸化膜を除去した後絶縁分離の酸化膜層を形成してポリシリコン層を形成し、これを平坦化した後その平坦化面に第2のシリコン基板を接合し、第1のシリコン基板11を研磨して第1のシリコン基板11の第3のSiエピタキシャル層をトランジスタ領域として露出させる。



FS入力済

1

【特許請求の範囲】

【請求項1】 単結晶基板上に厚い第1の絶縁膜を形成する第1の絶縁膜形成工程と、

第1の半導体素子形成領域に対応して前記厚い第1の絶縁膜に前記単結晶基板に至る第1の開口を形成する第1の開口形成工程と、

前記第1の開口内に第1の厚さで第1の単結晶半導体層をエピタキシャル成長させる第1の半導体層形成工程と、

前記第1の絶縁膜および第1の単結晶半導体層上に薄い第2の絶縁膜を形成する第2の絶縁膜形成工程と、

第2の半導体素子形成領域に対応して前記第2の絶縁膜を含み前記第1の絶縁膜に前記単結晶基板に至る第2の開口を形成する第2の開口形成工程と、

前記第2の開口内に第2の厚さで第2の単結晶半導体層をエピタキシャル成長させる第2の半導体層形成工程と、

前記第1の絶縁膜上および第1および第2の単結晶半導体層の上に共通に第3の絶縁膜を形成する第3の絶縁膜形成工程と、

前記第3の絶縁膜上に表面が平坦化された充填物を形成する平坦化層形成工程と、

前記平坦化層の前記平坦化された面に、台となる基板を接合する基板接合工程と、

前記単結晶基板を前記第1の絶縁膜が露出されるまで切削研磨する基板研磨工程とを備え、

この研磨工程で露出された前記第1および第2の単結晶半導体層にそれぞれ独立した半導体素子が形成されるようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 単結晶基板上に厚い第1の絶縁膜を形成する第1の絶縁膜形成工程と、

第1の半導体素子形成領域に対応して前記厚い第1の絶縁膜に前記単結晶基板に至る第1の開口を形成する第1の開口形成工程と、

前記第1の開口を含む前記第1の絶縁膜上に薄い第2の絶縁膜を形成する第2の絶縁膜形成工程と、

第2の半導体素子形成領域に対応して前記第2の絶縁膜を含む前記第1の絶縁膜に、前記単結晶基板に至る第2の開口を形成する第2の開口形成工程と、

前記第2の絶縁膜をマスクとして前記第2の開口内に第1の膜厚の第1の単結晶半導体層を形成する第1の半導体層形成工程と、

前記第2の絶縁膜を除去し、前記第1の開口内および前記第1の単結晶半導体層の上に第2の膜厚の第2の単結晶半導体層を形成する第2の半導体層形成工程と、

前記第1および第2の開口それぞれに対応して形成された前記第2の単結晶半導体層さらに前記第1の絶縁膜上に第3の絶縁膜および充填物を形成し、その表面を平坦化する平坦化層形成工程と、

前記平坦化層の前記平坦化された面に、台となる基板を

2

接合する基板接合工程と、

前記単結晶基板を前記第1の絶縁膜が露出されるまで切削研磨する基板研磨工程とを備え、

この研磨工程で露出された前記第1および第2の開口内の単結晶半導体層にそれぞれ独立した半導体素子が形成されるようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えば高速MOSトランジスタ、SOI型バイポーラトランジスタ、あるいはSOI型MOSトランジスタ等のような素子を1チップの半導体基板上に形成する、それぞれ異なる膜厚のSOI基板を高密度に集積するようにした半導体装置の製造方法に関する。

【0002】

【従来の技術】 SOI基板を作成する手段として、ウエハ直接接合法、レーザアニール等による再結晶化法、あるいはSIMOX等が知られている。この中でウエハ直接接合法としては、例えば特開平1-302739号で示されるように異なる厚さのSOI基板を製造する方法が知られているが、ここで示された方法にあっては例えば500オングストローム厚のSOI基板を有するMOSトランジスタのような高速デバイスを形成しようとする、この方法においては研磨工程で時間制御するようにしているため、超薄膜のSOI基板の形成が困難である。また、横方向の絶縁分離のためにトレンチ分離法を用いているものであるため、その工程が複雑化する。

【0003】

【発明が解決しようとする課題】 この発明は上記のような点に鑑みなされたもので、SOI基板の厚さが研磨工程の時間制御等によって決定されないようにして、特にそれぞれ厚さが異なる複数のSOI基板が容易に形成され、特に超薄膜のSOI基板が容易且つ確実に製造できるようにすると共に、各素子間の横方向の分離が容易に行われて高密度の集積化が可能とされるようにした半導体装置の製造方法を提供しようとするものである。

【0004】

【課題を解決するための手段】 第1の発明に係る半導体装置の製造方法にあっては、単結晶基板上に厚い第1の絶縁膜を形成すると共に、第1の半導体素子形成領域に対応して前記厚い第1の絶縁膜に前記単結晶基板に至る第1の開口を形成し、この第1の開口内に第1の厚さで第1の単結晶半導体層をエピタキシャル成長させて第1の半導体層を形成する。また、前記第1の絶縁膜および第1の単結晶半導体層上に薄い第2の絶縁膜を形成し、第2の半導体素子形成領域に対応して前記第2の絶縁膜を含み前記第1の絶縁膜に前記単結晶基板に至る第2の開口を形成するもので、この第2の開口内に第2の厚さで第2の単結晶半導体層をエピタキシャル成長させて第

3

2の半導体層を形成し、前記第1の絶縁膜上および第1および第2の単結晶半導体層の上に共通に第3の絶縁膜を形成する。そして、この第3の絶縁膜上に表面が平坦化された充填物を形成して平坦化層を形成し、この平坦化層の前記平坦化された面に台となる基板を接合すると共に、前記単結晶基板を前記第1の絶縁膜が露出されるまで切削研磨し、この研磨によって露出された前記第1および第2の単結晶半導体層にそれぞれ独立した半導体素子が形成されるようにしている。

【0005】また第2の発明にあっては、前記第1の開口が形成されたならば、この第1の開口を含む前記第1の絶縁膜上に薄い第2の絶縁膜を形成し、第2の半導体素子形成領域に対応して前記第2の絶縁膜を含む前記第1の絶縁膜に、前記単結晶基板に至る第2の開口を形成する。そして、前記第2の絶縁膜をマスクとして前記第2の開口内に第1の膜厚の第1の単結晶半導体層を形成した後第2の絶縁膜を除去し、前記第1の開口内および前記第1の単結晶半導体層の上に第2の膜厚の第2の単結晶半導体層を形成するもので、この第2の単結晶半導体層さらに前記第1の絶縁膜上に第3の絶縁膜および充

【0006】

【作用】この様な第1および第2の発明のいずれにおいても、第1および第2の半導体素子形成領域に対応して第1の絶縁膜に開口が形成され、この開口内に形成しようとする半導体素子で要求される膜厚の単結晶半導体層が形成され、その開口部でそれぞれ独立した半導体素子が形成されるようになる。この場合、その各半導体素子を形成するためのSOI基板の膜厚は、単結晶基板を第1の絶縁膜をストップとして研磨することによって決定されるもので、超薄型に構成することも容易である。また、開口を形成した第1の絶縁膜によって各半導体素子領域の間が確実に分離され、高密度の集積化も容易に実現できる。

【0007】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1ないし図4はその製造工程を順次示しているもので、まず図1の(A)で示すようにN型の単結晶シリコン基板11の主表面上に熱酸化膜12を形成する。この熱酸化膜12は例えば2 μ mの比較的厚い膜厚で構成されるもので、この熱酸化膜12部分に囲まれて所定のトランジスタが形成されるようになる。まず、比較的厚い半導体領域が必要とされる例えばバイポーラトランジスタを形成する第1のトランジスタ形成領域に対応して、同図の(B)で示すようにホットエッチングによって第1の開口13を開く。この開口13は、第1の熱酸化膜12を貫通してシリコン基板11の面に達する深さで形成される。

4

【0008】この様に第1の開口13が形成されたならば、同図の(C)で示すように光CVD等のシリコンエピタキシャル成長法によって、この開口13部の底面に露出された単結晶シリコン基板11面から第1の単結晶Siのエピタキシャル成長層14を成長させる。この第1のSiエピタキシャル成長層14の膜厚は、この領域に形成しようとするトランジスタで要求される第1の膜厚に設定される。

【0009】第1の開口13の内部に、この様に第1の膜厚に制御された第1のSiエピタキシャル成長層14が形成されたならば、同図の(D)に示すようにこの第1のSiエピタキシャル成長層14の表面を含み、熱酸化膜12の表面全体に例えば500オングストロームの比較的薄い酸化膜15を形成する。この酸化膜15は、次のSiエピタキシャル成長に際して、(C)図で形成した第1のSiエピタキシャル成長層14上にシリコンが形成されないように、エピタキシャル成長層14の表面を保護するために形成されるもので、その目的が達成できるものであれば、その膜厚は特に限定される必要がない。

【0010】この様に第1の開口13の内部に第1のSiエピタキシャル成長層14が形成され、その上に酸化膜15が形成されたならば、図2の(A)で示すように通常のC-MOSや耐圧の要求されるトランジスタ素子を基板の領域、すなわち第2のトランジスタ形成領域に対応して、ドライエッチング等のホットエッチングによって、酸化膜15を含んで第1のシリコン基板11に表面に至る第2の開口16を形成する。

【0011】この様に第2の開口16が形成されたならば、同図の(B)で示すようにこの第2の開口16内に、再度シリコンエピタキシャル成長法によって第2の単結晶Siのエピタキシャル成長層17を形成する。この第2のSiエピタキシャル成長層17は、この第2の領域に形成されるトランジスタで要求される膜厚に対応した第2の膜厚に設定される。

【0012】そして、再びこの第2のSiエピタキシャル成長層17の表面を含み、酸化膜15の表面全体に、同図の(C)で示すように500オングストロームの厚さで酸化膜18を形成すると共に、例えば通信用高速MOSトランジスタを形成する第3のトランジスタ形成領域に対応して、酸化膜15および18を含んで熱酸化膜12に対して第1のシリコン基板11の表面に至る第3の開口19をホットエッチングによって開く。この第3の開口19内部には、通信用高速MOSトランジスタを構成するに適切な薄い第3の膜厚で、第3の単結晶Siのエピタキシャル成長層20をエピタキシャル成長により形成する。

【0013】以上のようにして第1ないし第3の開口13、16、および19それぞれに対応してそれぞれ膜厚の異なる第1ないし第3のSiエピタキシャル成長層14、17および20が形成されたならば、図3の(A)で示すように希HFで各エピタキシャル成長層表面に形成されてい

5

る酸化膜15および18を除去し、同図の(B)で示すようにそれぞれ露出された各Siエピタキシャル成長層14、17、20の表面を含み、熱酸化膜12の表面上の全体にSi熱酸化膜21を形成する。このSi熱酸化膜21の膜厚は、1 μ m程度でよい。

【0014】Si熱酸化膜21の表面部の全体には、同図の(C)で示すように例えば3 μ mの膜厚でポリシリコン層22を成膜し、このポリシリコン層22の表面を平坦に研磨する。そして、このポリシリコン層22の平坦化された研磨面に、同図の(D)で示すように第2のシリコン基板23を直接接合する(この図ではこれまで示した第1のシリコン基板11を裏返して示している)。

【0015】この様に第2のシリコン基板23が接合されたならば、図4で示すように第1のシリコン基板11をその裏面側から研磨し、この研磨を熱酸化膜12の表面が露出されるまで行う。すなわち、熱酸化膜12がストップとされるようにして第1のシリコン基板11を研磨除去するもので、この状態で第1ないし第3のSiエピタキシャル成長層14、17および20が表面に露出される。

【0016】この第1ないし第3のSiエピタキシャル成長層14、17および20は、それぞれ膜厚が異なるように構成されるもので、その後通常のトランジスタ製造工程に基づくゲート酸化膜形成工程、ゲートポリシリコン形成工程、イオン注入工程等によって、図5で示すように第1ないし第3のSiエピタキシャル成長層14、17および20に対応する第1ないし第3のトランジスタ形成領域において、それぞれMOSトランジスタおよびバイポーラトランジスタ等が形成される。

【0017】例えば膜厚500 \AA のSOI基板を有するMOSトランジスタによる高速デバイスを構成しようとする場合には、膜厚500 \AA の膜厚制御は研磨時間によって制御するようになると、実際に超薄型の制御が困難である。また、集積化される複数の素子間の絶縁分離をトレンチによって行おうとすると、そのトレンチ形成工程が繁雑となり、高密度化することが非常に困難となる。

【0018】しかし、実施例で説明したような製造方法によってSOI基板を製造するにすれば、各SOI基板の膜厚は研磨時間によって制御されることなく、エピタキシャル成長の制御によって任意の厚さに設定できるようになる。特に、超薄型に構成することが容易となり、高速デバイスも簡単に組み込むことができる。またこの研磨工程において、熱酸化膜12がストップとして機能されるようになると共に、この熱酸化膜12が各トランジスタ間の絶縁分離膜として機能するようになって、特にトレンチ分離構成を設ける必要がない。このため、領域分離のための工程が簡易化されるばかりか、多種のSOI基板を高密度に集積化することが容易とされる。

【0019】上記実施例においては、第1ないし第3の開口13、16、19を形成するために異方性エッチングをエ

6

ピタキシャル成膜室外で行う必要がある。このため、この実施例の工程においてはエピタキシャル成長工程を3回に分けて実行するようにしていた。しかし、この厚さの異なる3つのエピタキシャル成長層を1回のSiエピタキシャル成膜工程で完了させるようにすることもできるもので、以下その製造工程の実施例を説明する。

【0020】まず、図1の(A)および(B)で示したと同様に単結晶の第1のシリコン基板11の表面に2 μ mの厚さで熱酸化膜12の層を成膜し、この熱酸化膜12にシリコン基板11に至る第1のトランジスタ形成領域に対応した第1の開口31をホットエッチングにより形成する。この領域は、例えば高速デバイスを形成するための薄いSOI基板形成領域とされる。

【0021】この様に第1の開口31が形成されたシリコン基板11を用い、図6の(A)で示すように開口31の内部を含む状態で熱酸化膜12の表面上に500 \AA の厚さの酸化膜32を熱酸化化によって形成する。

【0022】次に同図の(B)で示すように、表面に酸化膜32が形成された熱酸化膜12を、例えば通常のMOSトランジスタを形成する第2のトランジスタ形成領域に対応して、第1のシリコン基板11の表面に至るまでの深さで、ホットエッチングによって第2の開口33を開く。その後、この第2の開口33の内部を含み酸化膜32の表面上に、熱酸化により500 \AA の厚さで酸化膜34を再度形成する。そして、同図の(D)で示すように厚いSOI膜を形成する第3のトランジスタ形成領域に対応して、酸化膜32および34を含んで熱酸化膜12に対して第1のシリコン基板11の表面に達する第3の開口35を形成する。

【0023】このようにして熱酸化膜12に第1ないし第3の開口31、33、および35が形成されたならば、図7の(A)に示すように酸化膜34がマスクとして使用されるようにして、第3の開口35内に光CVD法等のシリコンエピタキシャル成長法によって第1のエピタキシャル成長を行い、第1の単結晶Siのエピタキシャル成長層36を選択的に成膜する。この場合、このエピタキシャル成長層36の膜厚は例えば1.5 μ mの第1の膜厚に設定されるようにする。

【0024】この様に第1のSiエピタキシャル成長層36が形成されたならば、大気にさらすことなく同一のチャンバ内で表面の酸化膜34を、例えば光エッチング法によって500 \AA の厚さでエッチングする。

【0025】このエッチングによって、例えば第1のシリコン基板11の清浄な表面が現れたならば、具体的には酸化膜34部分がエッチングされて第2の開口33の底部分が現れたならば、酸化膜32をマスクとして第2のエピタキシャル成長を行い、第3の開口35内の第1のSiエピタキシャル成長層36の表面と共に、第2の開口33の内部にそれぞれ第2の単結晶Siのエピタキシャル成長層37

7

1、372を成膜する。ここで、この第2のSiエピタキシャル成長層371、372の膜厚は、第1のエピタキシャル成長層36の膜厚とは異なるように設定され、例えば第1のSiエピタキシャル成長層36よりも薄く設定される。

【0026】次に同図の(C)で示すように再び大気にさらすことなく同一チャンバ内において残った酸化膜32をエッチングする。このエッチングは500オングストロームの厚さで行われるもので、清浄なシリコン基板11の面が現れるまで行われるものである。そして、清浄なシリコン表面が現れたならばさらに第3のエピタキシャル成長を行って、Siエピタキシャル成長層371、372の表面と共に、第1の開口31の内部に選択的に第3の単結晶Siのエピタキシャル成長層381、382、383をそれぞれ形成する。

【0027】この様な第1ないし第3のエピタキシャル成長を行うことによって、第1の開口31の内部には第3のエピタキシャル成長による第3のSiエピタキシャル成長層383一層のエピタキシャル成長膜が形成され、第2の開口33の内部には第2のSiエピタキシャル成長層372と第3のSiエピタキシャル成長層382の2層の厚さによるエピタキシャル成長膜が形成され、さらに第3の開口35内には第1ないし第3のエピタキシャル成長それぞれによる第1ないし第3のSiエピタキシャル成長層36、371、381の3層のエピタキシャル成長膜が形成される。

【0028】すなわち、第1ないし第3のトランジスタ形成領域それぞれに対応して、それぞれ厚さが異なり且つ膜厚制御されたSOI膜が形成されるようになる。その後同図の(D)に示すように、基板部と絶縁分離するための酸化膜39を0.5 μ m(5000オングストローム)の厚さで全面に形成する。

【0029】この様に酸化膜39が形成されたならば、図8の(A)で示すように酸化膜39の表面にポリシリコン層40を3 μ mの厚さで形成し、その表面を研磨して平坦化する。そして、この平坦化されたポリシリコン層40の平坦面に、同図の(B)で示すように第2のシリコン基板23を接合し、さらに同図の(C)で示すように第1のシリコン基板11を熱酸化膜12が露出されるまで研磨することにより、同一チップ内に、それぞれ膜厚の異なる3

8

*つのSOI領域が形成されるようになる。

【0030】

【発明の効果】以上のようにこの発明に係る半導体装置の製造方法によれば、同一チップ内にそれぞれ厚さの異なる複数のSOI領域が形成されるようになり、それぞれその厚さに応じた機能が設定される半導体素子が形成されるようになる。この様な製造方法において、各SOI領域の厚さの制御はそれぞれエピタキシャル成長によって制御されるものであり、研磨により制御されない。したがって、例えば高速デバイスのような特に薄いSOI膜が要求される場合においても、これに容易に対応できるようになる。また、同一チップ内に形成されるようになる複数の素子領域は、その各領域に対応して開口の形成される熱酸化膜によって確実に絶縁分離されているものであり、容易且つ確実に集積密度の向上が図れる。

【図面の簡単な説明】

【図1】(A)～(D)はこの発明の一実施例に係るSOI基板の製造過程を順次説明する断面構成図。

【図2】(A)～(D)は図1の過程に続く製造過程を順次説明する断面構成図。

【図3】(A)～(D)はさらに図2の過程に続く製造過程を順次説明する断面構成図。

【図4】前記製造過程によって製造されたSOI基板を示す断面構成図。

【図5】上記SOI基板を用いて製造される半導体装置の断面構成図。

【図6】(A)～(D)はこの発明の他の実施例に係るSOI基板の製造過程を順次説明する断面構成図。

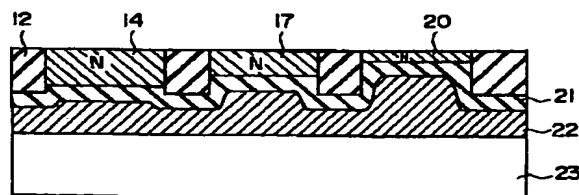
【図7】(A)～(D)は図6の過程に続く製造過程を順次説明する断面構成図。

【図8】(A)～(C)はさらに図7の過程に続く製造過程を順次説明する断面構成図。

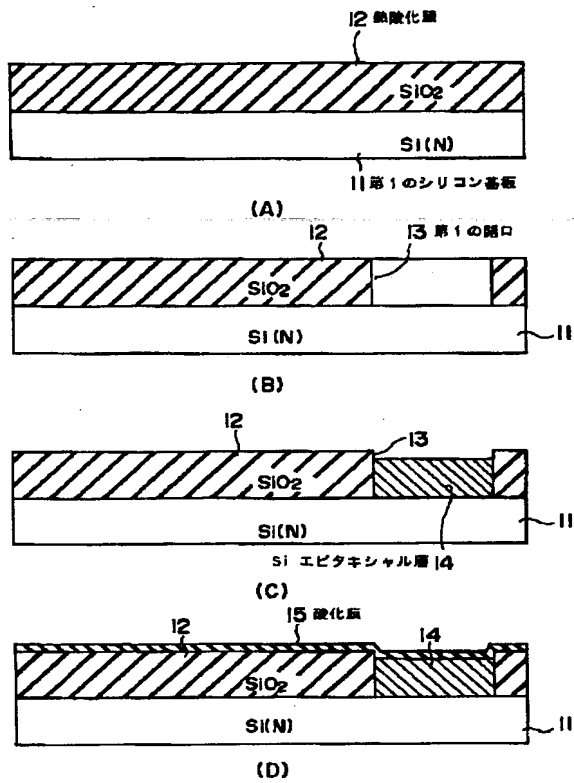
【符号の説明】

11…第1のシリコン基板、12…熱酸化膜、13、16、19、31、33、35…開口、15、18、32、34…酸化膜、14、17、20、36、371、372、381～383…Siエピタキシャル成長層、22、40…ポリシリコン層、23…第2のシリコン基板。

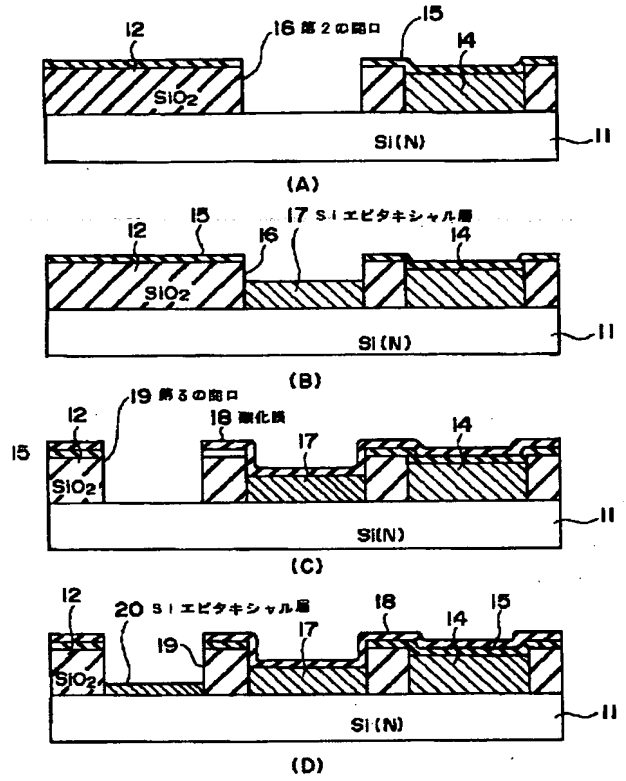
【図4】



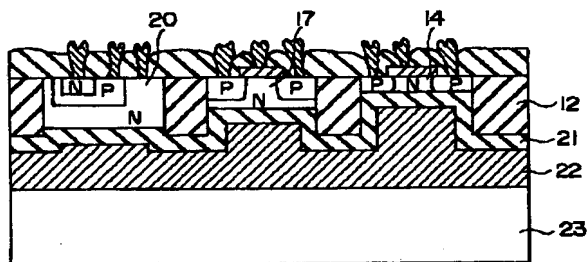
【図 1】



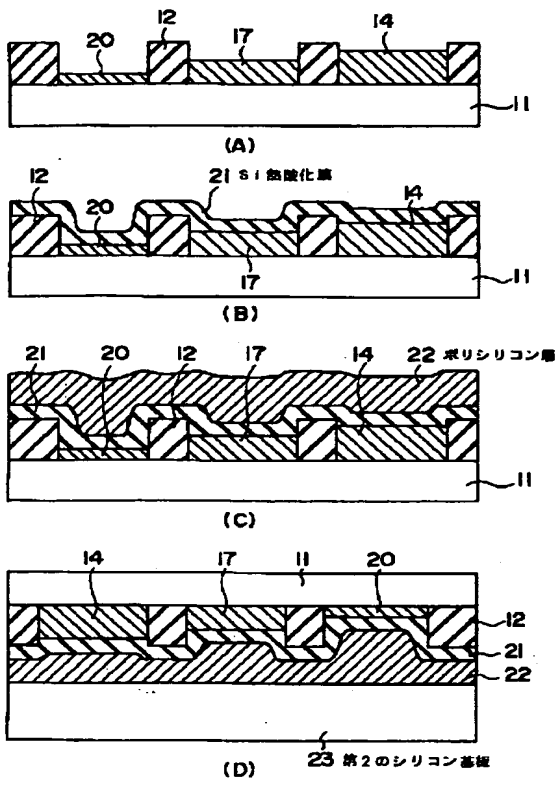
【図 2】



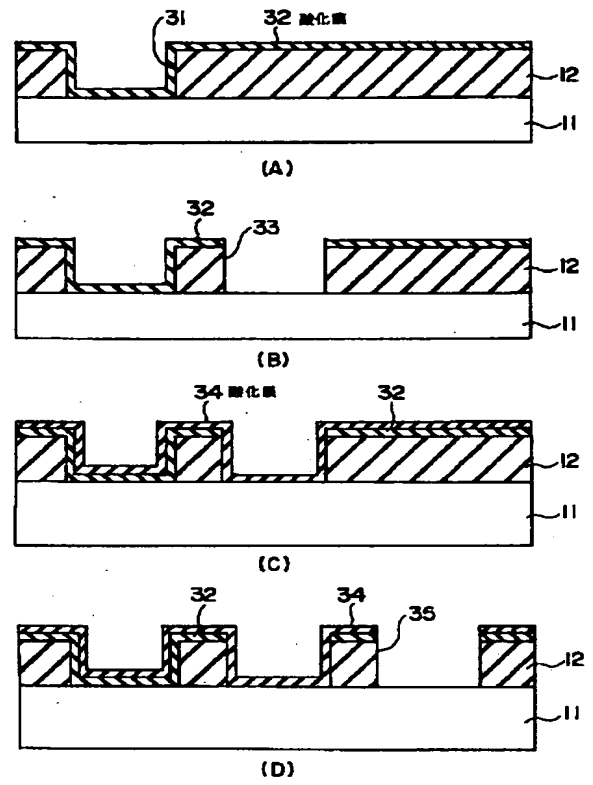
【図 5】



【図 3】



【図 6】



【図 8】

